

高電圧、高電流ダーリントン・トランジスタ・アレイ

特 長

- コレクタ電流定格 : 500mA(1出力あたり)
- 高電圧出力 : 50V
- 出力クランプ・ダイオード
- 各種ロジックと互換性を持つ入力
- リレー・ドライバ・アプリケーション

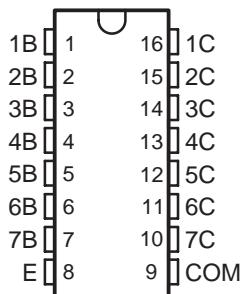
概 要

ULN2002A、ULN2003A、ULN2003AI、ULN2004A、ULQ2003A、およびULQ2004Aは、高電圧、高電流のダーリントン・トランジスタ・アレイです。それぞれ7組のNPNダーリントン・ペアから構成され、誘導性負荷のスイッチング用にカソード・コモンのクランプ・ダイオードを使用して高電圧出力を提供します。各ダーリントン・ペアのコレクタ電流定格は500mAです。複数のダーリントン・ペアを並列に使用して、より大きな電流を供給できます。アプリケーションとしては、リレー・ドライバ、ハンマー・ドライバ、ランプ・ドライバ、ディスプレイ・ドライバ(LEDおよびガス放電)、ライン・ドライバ、ロジック・バッファなどがあります。ULN2003AおよびULN2004Aの100V版(それ以外の点では交換可能)については、それぞれSN75468およびSN75469を参照してください。

ULN2001Aは汎用アレイであり、TTLおよびCMOSテクノロジとともに使用できます。ULN2002Aは、14V~25VのPMOSデバイス向けに設計されています。このデバイスの各入力には、入力電流を安全な制限範囲に制御するために、ツェナー・ダイオードと抵抗が直列に接続されています。ULN2003AおよびULQ2003Aでは、TTLまたは5V CMOSデバイスと直接接続して動作できるように、各ダーリントン・ペアに2.7kΩの直列ベース抵抗が備えられています。ULN2004AおよびULQ2004Aでは、6V~15Vの電源電圧を使用するCMOSデバイスと直接接続して動作できるように、10.5kΩの直列ベース抵抗が備えられています。ULN/ULQ2004Aの必要な入力電流はULN/ULQ2003Aよりも小さく、必要な電圧はULN2002Aよりも低くなっています。

ULN2002A ... N PACKAGE
ULN2003A ... D, N, NS, OR PW PACKAGE
ULN2004A ... D, N, OR NS PACKAGE
ULQ2003A, ULQ2004A ... D OR N PACKAGE

(TOP VIEW)





静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

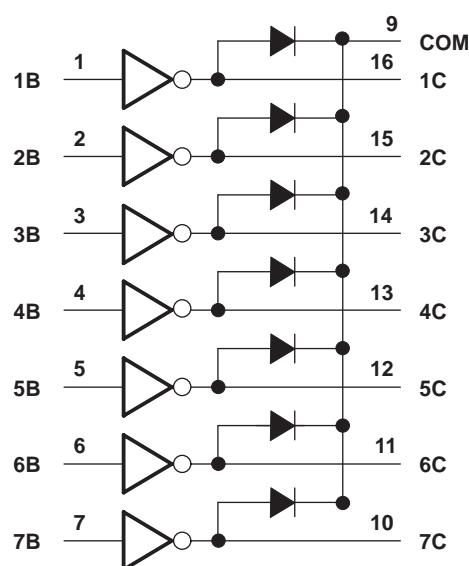
T _A	PACKAGE ⁽²⁾		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-20°C ~ 70°C	PDIP – N	Tube of 25	ULN2002AN	ULN2002AN
			ULN2003AN	ULN2003AN
			ULN2004AN	ULN2004AN
	SOIC – D	Tube of 40	ULN2003AD	ULN2003A
		Reel of 2500	ULN2003ADR	
		Reel of 2500	ULN2003ADRG3	ULN2004A
		Tube of 40	ULN2004AD	
	SOP – NS	Reel of 2500	ULN2004ADRG3	ULN2004A
		Reel of 2000	ULN2003ANSR	
	TSSOP – PW	Tube of 90	ULN2004ANSR	UN2003A
		Reel of 2000	ULN2003APW	
-40°C ~ 85°C	PDIP – N	Tube of 25	ULN2003APWR	ULN2003A
			ULN2004AN	ULN2004AN
	SOIC – D	Tube of 40	ULN2003AD	ULN2003A
		Reel of 2500	ULN2003ADR	
		Tube of 40	ULN2004AD	ULN2004A
		Reel of 2500	ULN2004ADR	
	SOP – NS	Reel of 2000	ULN2003AINSR	ULN2003AI
-40°C ~ 105°C	PDIP – N	Tube of 425	ULN2003AIN	ULN2003AIN
		Tube of 40	ULN2003AID	ULN2003AI
	SOIC – D	Reel of 2500	ULN2003AIDR	
		Reel of 2500	ULN2003AIPWR	UN2003AI

表 1. 製品情報⁽¹⁾

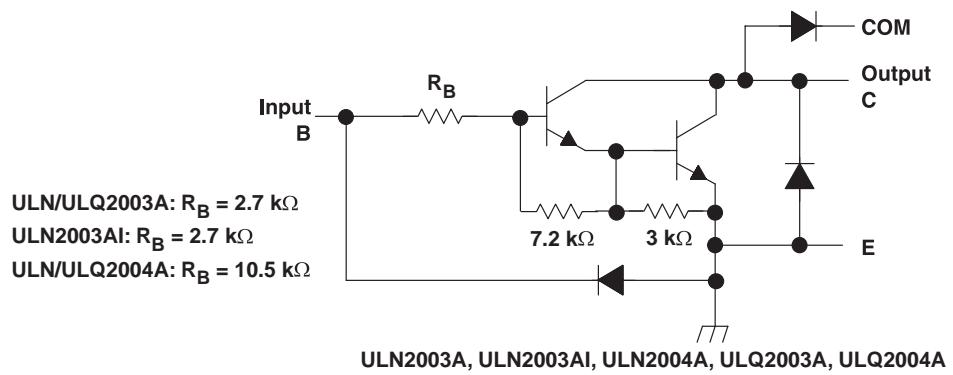
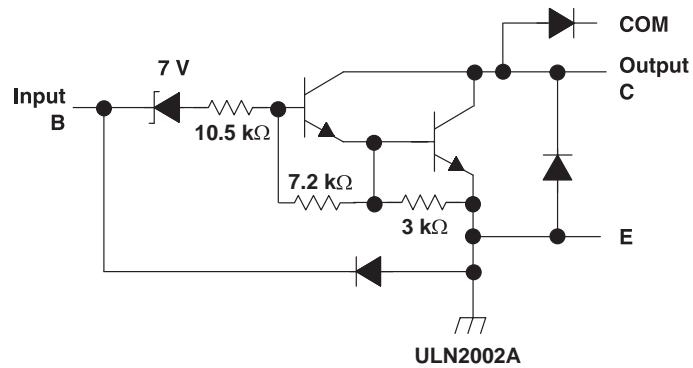
(1) For the most current package and ordering information, see the Package Option Addendum at the end of this document, or see the TI web site at www.ti.com.

(2) Package drawings, thermal data, and symbolization are available at www.ti.com/packaging.

LOGIC DIAGRAM



SCHEMATICS (EACH DARLINGTON PAIR)



All resistor values shown are nominal.

The collector-emitter diode is a parasitic structure and should not be used to conduct current. If the collector(s) go below ground an external Schottky diode should be added to clamp negative undershoots.

絶対最大定格⁽¹⁾

at 25°C free-air temperature(特に記述のない限り)

			MIN	MAX	単位
V _{CC}	Collector-emitter voltage		50	V	
	Clamp diode reverse voltage ⁽²⁾		50	V	
V _I	Input voltage ⁽²⁾		30	V	
	Peak collector current	See Figure 14 and Figure 15	500	mA	
I _{OK}	Output clamp current		500	mA	
	Total emitter-terminal current		-2.5	A	
T _A	Operating free-air temperature range	ULN200xA ULN200xAI ULQ200xA ULQ200xAT	-20 -40 -40 -40	70 105 85 105	°C
θ _{JA}	Package thermal impedance ^{(3) (4)}	D package N package NS package PW package	73 67 64 108		°C/W
θ _{JC}	Package thermal impedance ^{(5) (6)}	D package N package	36 54		
T _J	Operating virtual junction temperature		150	°C	
	Lead temperature for 1.6 mm (1/16 inch) from case for 10 seconds		260	°C	
T _{STG}	Storage temperature range		-65	150	°C

(1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) All voltage values are with respect to the emitter/substrate terminal E, unless otherwise noted.

(3) Maximum power dissipation is a function of T_{J(max)}, θ_{JA}, and T_A. The maximum allowable power dissipation at any allowable ambient temperature is P_D = (T_{J(max)} - T_A)/θ_{JA}. Operating at the absolute maximum T_J of 150°C can affect reliability.

(4) The package thermal impedance is calculated in accordance with JESD 51-7.

(5) Maximum power dissipation is a function of T_{J(max)}, θ_{JC}, and T_A. The maximum allowable power dissipation at any allowable ambient temperature is P_D = (T_{J(max)} - T_A)/θ_{JC}. Operating at the absolute maximum T_J of 150°C can affect reliability.

(6) The package thermal impedance is calculated in accordance with MIL-STD-883.

電気的特性

T_A = 25°C

パラメータ	テスト図	テスト条件			ULN2002A	単位	
		MIN	TYP	MAX			
V _{I(on)}	On-state input voltage	図6	V _{CE} = 2 V, I _C = 300 mA		13	V	
V _{CE(sat)}	Collector-emitter saturation voltage	図4	I _I = 250 μA, I _C = 100 mA		0.9	V	
			I _I = 350 μA, I _C = 200 mA		1		
			I _I = 500 μA, I _C = 350 mA		1.2		
V _F	Clamp forward voltage	図7	I _F = 350 mA		1.7	2	V
I _{CEx}	Collector cutoff current	図1	V _{CE} = 50 V, I _I = 0		50	μA	
		図2	V _{CE} = 50 V, I _I = 0, T _A = 70°C		100		
			V _I = 6 V		500		
I _{I(off)}	Off-state input current	図2	V _{CE} = 50 V, I _C = 500 μA	50	65	μA	
I _I	Input current	図3	V _I = 17 V		0.82	1.25	mA
I _R	Clamp reverse current	図6	V _R = 50 V, T _A = 70°C		100	μA	
					50		
C _i	Input capacitance		V _I = 0, f = 1 MHz		25	pF	

電気的特性

$T_A = 25^\circ\text{C}$

パラメータ	テスト図	テスト条件	ULN2003A			ULN2004A			単位
			MIN	TYP	MAX	MIN	TYP	MAX	
$V_{I(on)}$	On-state input voltage 図6	$V_{CE} = 2 \text{ V}$	$I_C = 125 \text{ mA}$					5	V
			$I_C = 200 \text{ mA}$		2.4			6	
			$I_C = 250 \text{ mA}$		2.7				
			$I_C = 275 \text{ mA}$					7	
			$I_C = 300 \text{ mA}$		3				
			$I_C = 350 \text{ mA}$					8	
$V_{CE(sat)}$	Collector-emitter saturation voltage 図5	$I_I = 250 \mu\text{A}, I_C = 100 \text{ mA}$		0.9	1.1		0.9	1.1	V
		$I_I = 350 \mu\text{A}, I_C = 200 \text{ mA}$		1	1.3		1	1.3	
		$I_I = 500 \mu\text{A}, I_C = 350 \text{ mA}$		1.2	1.6		1.2	1.6	
I_{CEX}	Collector cutoff current 図1	$V_{CE} = 50 \text{ V}, I_I = 0$			50			50	μA
		$V_{CE} = 50 \text{ V}, T_A = 70^\circ\text{C}$	$I_I = 0$		100			100	
			$V_I = 6 \text{ V}$					500	
V_F	Clamp forward voltage 図8	$I_F = 350 \text{ mA}$			1.7	2		1.7	V
$I_{I(off)}$	Off-state input current 図3	$V_{CE} = 50 \text{ V}, T_A = 70^\circ\text{C}$	$I_C = 500 \mu\text{A}$	50	65		50	65	μA
I_I	Input current 図4	$V_I = 3.85 \text{ V}$		0.93	1.35				mA
		$V_I = 5 \text{ V}$						0.35	
		$V_I = 12 \text{ V}$						1	
I_R	Clamp reverse current 図7	$V_R = 50 \text{ V}$	$T_A = 70^\circ\text{C}$			50		50	μA
C_i	Input capacitance	$V_I = 0, f = 1 \text{ MHz}$			100	100		100	
				15	25		15	25	pF

電気的特性

$T_A = 25^\circ\text{C}$

パラメータ	テスト図	テスト条件		ULN2003AI			単位
				MIN	TYP	MAX	
$V_{I(on)}$	On-state input voltage 図6	$V_{CE} = 2 \text{ V}$	$I_C = 200 \text{ mA}$			2.4	V
			$I_C = 250 \text{ mA}$			2.7	
			$I_C = 300 \text{ mA}$			3	
$V_{CE(sat)}$	Collector-emitter saturation voltage 図5		$I_I = 250 \mu\text{A}, I_C = 100 \text{ mA}$		0.9	1.1	V
			$I_I = 350 \mu\text{A}, I_C = 200 \text{ mA}$		1	1.3	
			$I_I = 500 \mu\text{A}, I_C = 350 \text{ mA}$		1.2	1.6	
I_{CEX}	Collector cutoff current 図1	$V_{CE} = 50 \text{ V}, I_I = 0$				50	μA
V_F	Clamp forward voltage 図8	$I_F = 350 \text{ mA}$			1.7	2	V
$I_{I(off)}$	Off-state input current 図3	$V_{CE} = 50 \text{ V}, I_C = 500 \mu\text{A}$		50	65		μA
I_I	Input current 図4	$V_I = 3.85 \text{ V}$			0.93	1.35	mA
I_R	Clamp reverse current 図7	$V_R = 50 \text{ V}$				50	μA
C_i	Input capacitance	$V_I = 0, f = 1 \text{ MHz}$		15	25		pF

電気的特性

$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$

パラメータ	テスト図	テスト条件			ULN2003AI			単位
			MIN	TYP	MAX			
$V_{I(on)}$ On-state input voltage	図6	$V_{CE} = 2\text{ V}$	$I_C = 200\text{ mA}$			2.7		V
			$I_C = 250\text{ mA}$			2.9		
			$I_C = 300\text{ mA}$			3		
$V_{CE(sat)}$ Collector-emitter saturation voltage	図5		$I_I = 250\text{ }\mu\text{A}, I_C = 100\text{ mA}$			0.9	1.2	V
			$I_I = 350\text{ }\mu\text{A}, I_C = 200\text{ mA}$			1	1.4	
			$I_I = 500\text{ }\mu\text{A}, I_C = 350\text{ mA}$			1.2	1.7	
I_{CEX} Collector cutoff current	図1	$V_{CE} = 50\text{ V}, I_I = 0$				100		μA
V_F Clamp forward voltage	図8	$I_F = 350\text{ mA}$				1.7	2.2	V
$I_{I(off)}$ Off-state input current	図3	$V_{CE} = 50\text{ V}, I_C = 500\text{ }\mu\text{A}$				30	65	μA
I_I Input current	図4	$V_I = 3.85\text{ V}$				0.93	1.35	mA
I_R Clamp reverse current	図7	$V_R = 50\text{ V}$				100		μA
C_i Input capacitance		$V_I = 0, f = 1\text{ MHz}$				15	25	pF

電気的特性

動作温度範囲内(特に記述のない限り)

パラメータ	テスト図	テスト条件			ULQ2003A		ULQ2004A		単位	
			MIN	TYP	MAX		MIN	TYP		
$V_{I(on)}$ On-state input voltage	図6	$V_{CE} = 2\text{ V}$	$I_C = 125\text{ mA}$					5	V	
			$I_C = 200\text{ mA}$			2.7		6		
			$I_C = 250\text{ mA}$			2.9				
			$I_C = 275\text{ mA}$					7		
			$I_C = 300\text{ mA}$			3				
			$I_C = 350\text{ mA}$					8		
$V_{CE(sat)}$ Collector-emitter saturation voltage	図5		$I_I = 250\text{ }\mu\text{A}, I_C = 100\text{ mA}$			0.9	1.2	0.9	V	
			$I_I = 350\text{ }\mu\text{A}, I_C = 200\text{ mA}$			1	1.4	1		
			$I_I = 500\text{ }\mu\text{A}, I_C = 350\text{ mA}$			1.2	1.7	1.2		
I_{CEX} Collector cutoff current	図1	$V_{CE} = 50\text{ V}, I_I = 0$				100		50	μA	
	図2	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}$	$I_I = 0$					100		
			$V_I = 6\text{ V}$					500		
V_F Clamp forward voltage	図8	$I_F = 350\text{ mA}$				1.7	2.3	1.7	2	V
$I_{I(off)}$ Off-state input current	図3	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}$	$I_C = 500\text{ }\mu\text{A}$			65		50	μA	
I_I Input current	図4	$V_I = 3.85\text{ V}$				0.93	1.35			
		$V_I = 5\text{ V}$						0.35		
		$V_I = 12\text{ V}$						0.5		
I_R Clamp reverse current	図7	$V_R = 50\text{ V}$	$T_A = 25^\circ\text{C}$			100		50	μA	
						100		100		
C_i Input capacitance		$V_I = 0, f = 1\text{ MHz}$				15	25	15	pF	

スイッチング特性

$T_A = 25^\circ\text{C}$

パラメータ	テスト条件	ULN2002A, ULN2003A, ULN2004A			単位
		MIN	TYP	MAX	
t_{PLH} Propagation delay time, low- to high-level output	図9参照	0.25	1	μs	
t_{PHL} Propagation delay time, high- to low-level output	図9参照	0.25	1	μs	
V_{OH} High-level output voltage after switching	$V_S = 50 \text{ V}, I_O = 300 \text{ mA}$, 図10参照	$V_S - 20$			mV

スイッチング特性

$T_A = 25^\circ\text{C}$

パラメータ	テスト条件	ULN2003AI			単位
		MIN	TYP	MAX	
t_{PLH} Propagation delay time, low- to high-level output	図9参照	0.25	1	μs	
t_{PHL} Propagation delay time, high- to low-level output	図9参照	0.25	1	μs	
V_{OH} High-level output voltage after switching	$V_S = 50 \text{ V}, I_O \approx 300 \text{ mA}$, 図10参照	$V_S - 20$			mV

スイッチング特性

$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$

パラメータ	テスト条件	ULN2003AI			単位
		MIN	TYP	MAX	
t_{PLH} Propagation delay time, low- to high-level output	図9参照	1	10	μs	
t_{PHL} Propagation delay time, high- to low-level output	図9参照	1	10	μs	
V_{OH} High-level output voltage after switching	$V_S = 50 \text{ V}, I_O \approx 300 \text{ mA}$, 図10参照	$V_S - 50$			mV

スイッチング特性

推奨動作条件範囲内(特に記述のない限り)

パラメータ	テスト条件	ULQ2003A, ULQ2004A			単位
		MIN	TYP	MAX	
t_{PLH} Propagation delay time, low- to high-level output	図9参照	1	10	μs	
t_{PHL} Propagation delay time, high- to low-level output	図9参照	1	10	μs	
V_{OH} High-level output voltage after switching	$V_S = 50 \text{ V}, I_O = 300 \text{ mA}$, 図10参照	$V_S - 20$			mV

PARAMETER MEASUREMENT INFORMATION

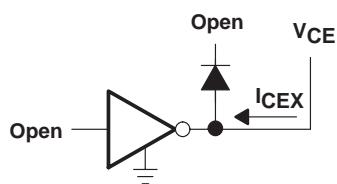


図 1. I_{CEX} Test Circuit

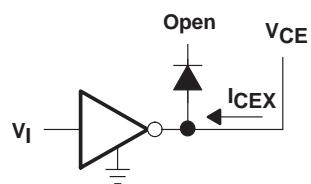
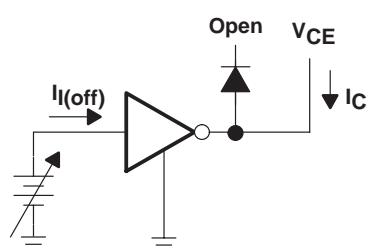


図 2. I_{CEX} Test Circuit



A. I_I is fixed for measuring $V_{CE(sat)}$, variable for measuring h_{FE} .

図 3. I_I (off) Test Circuit

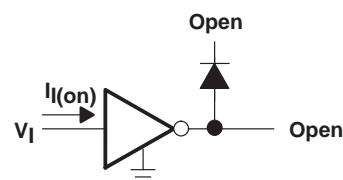


図 4. I_I Test Circuit

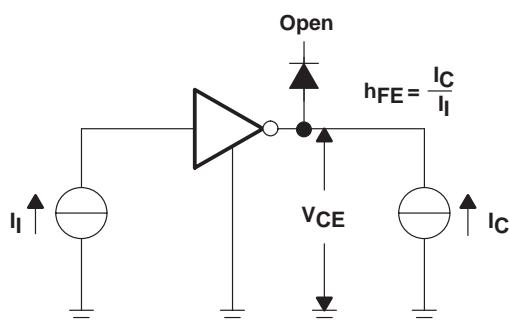


図 5. $h_{FE}, V_{CE(sat)}$ Test Circuit

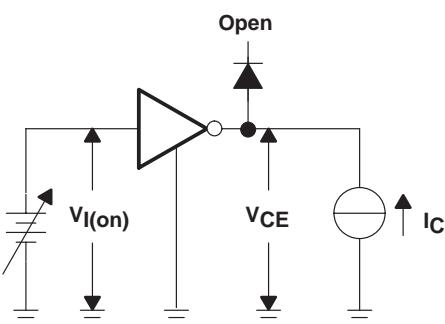


図 6. V_I (on) Test Circuit

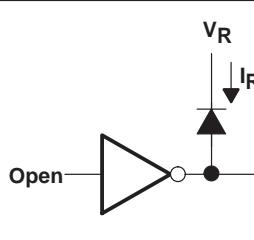


図 7. I_R Test Circuit

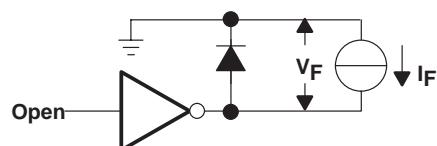


図 8. V_F Test Circuit

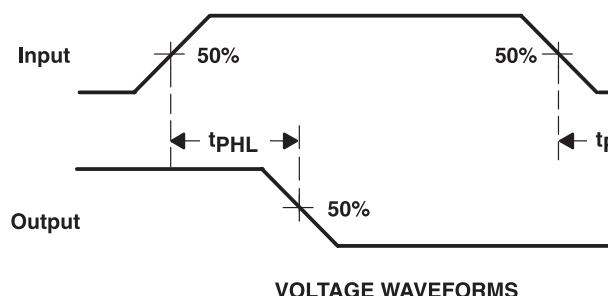


図 9. Propagation Delay-Time Waveforms

PARAMETER MEASUREMENT INFORMATION

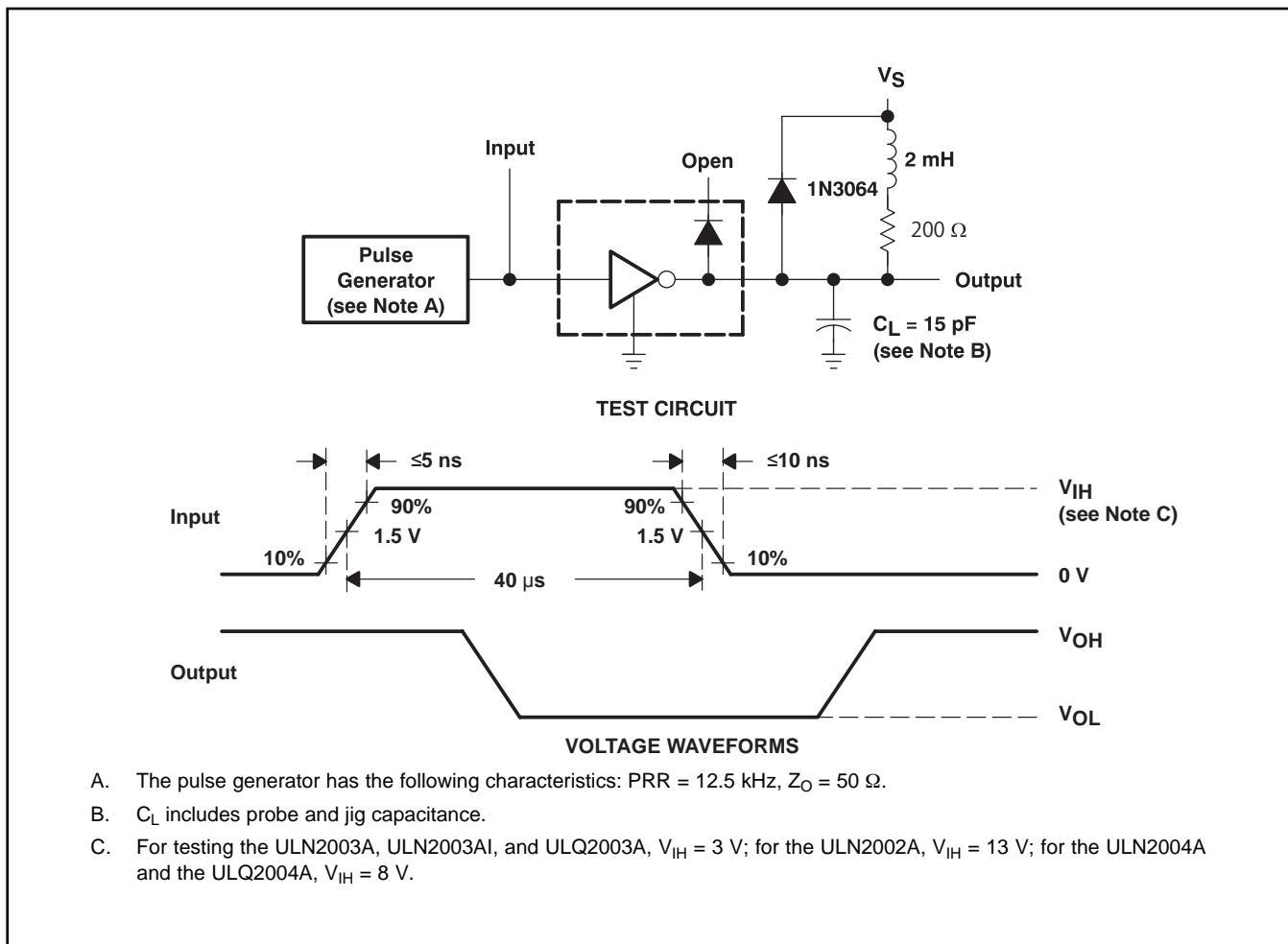


図 10. Latch-Up Test Circuit and Voltage Waveforms

標準的特性

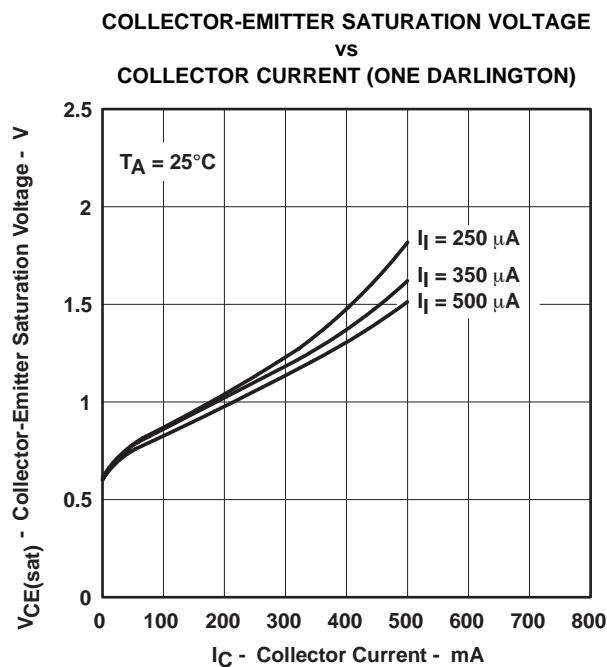


図 11

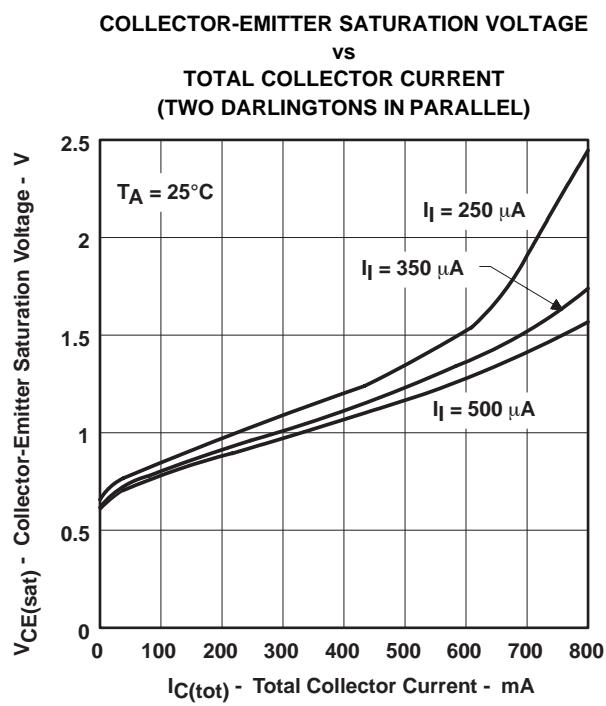


図 12

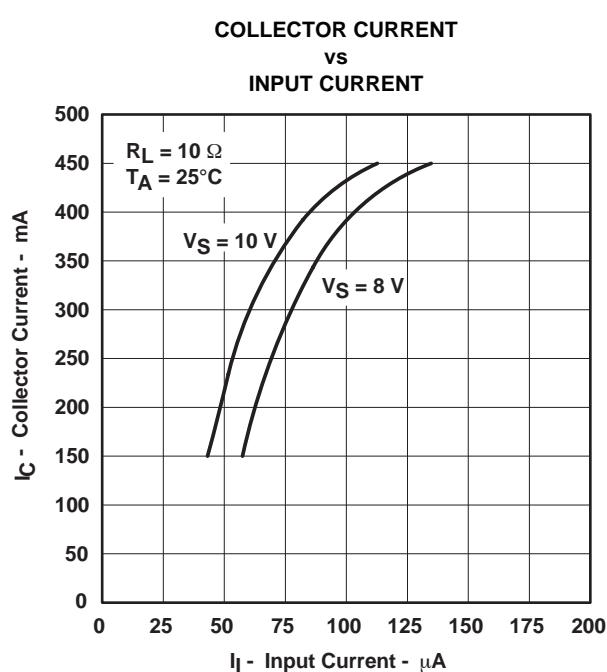


図 13

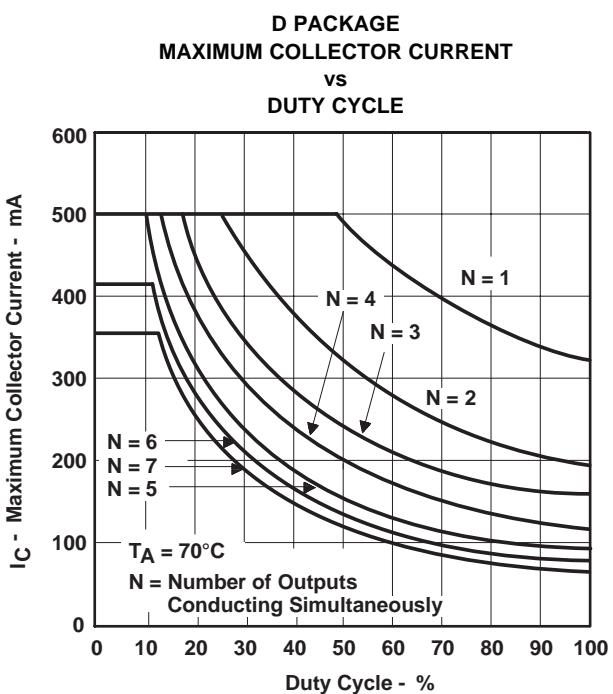


図 14

標準的特性

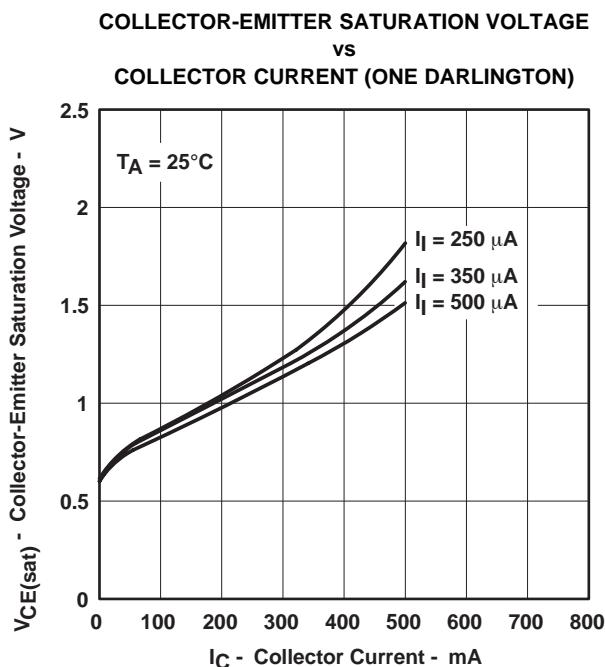


図 11

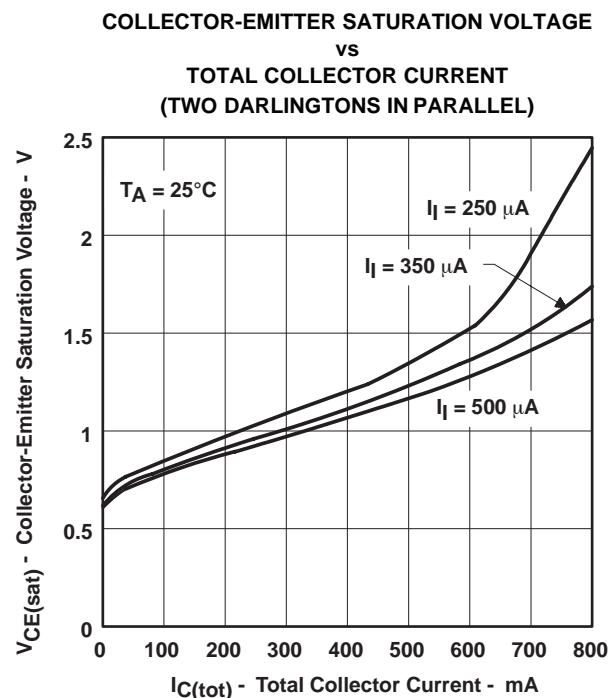


図 12

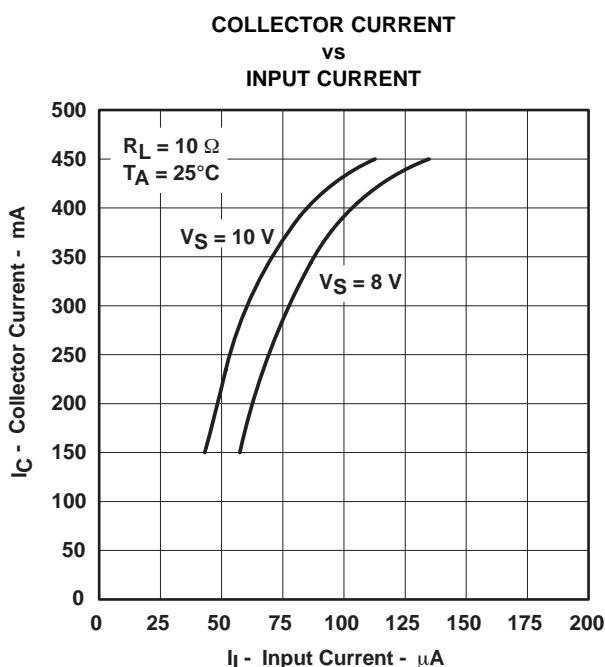


図 13

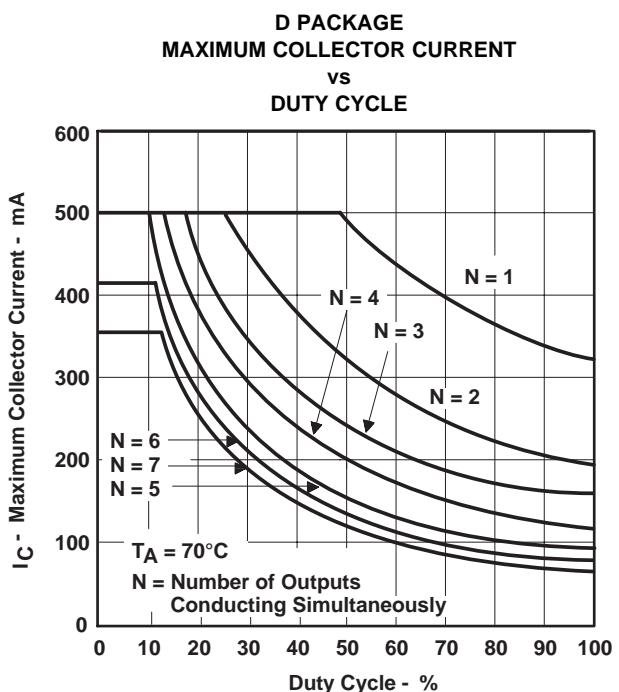


図 14

標準的特性

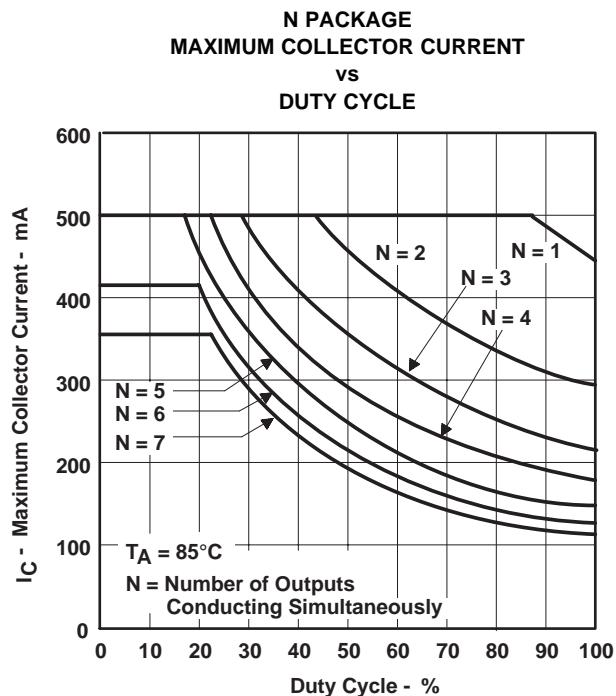


図 15

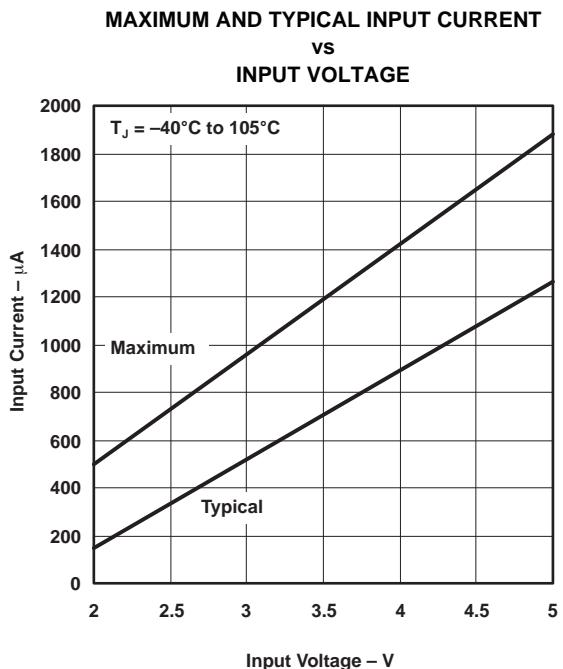


図 16

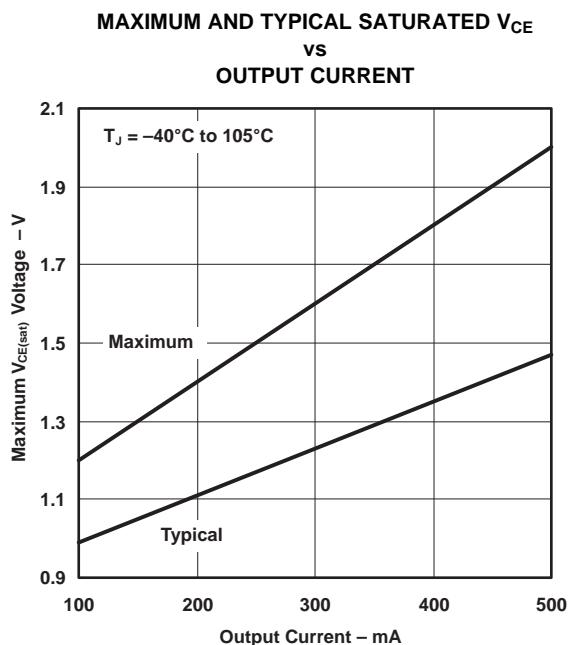


図 17

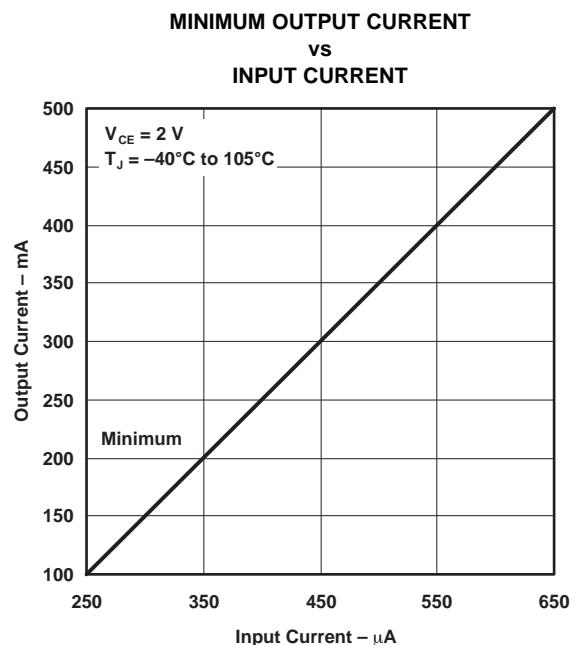


図 18

アプリケーション情報

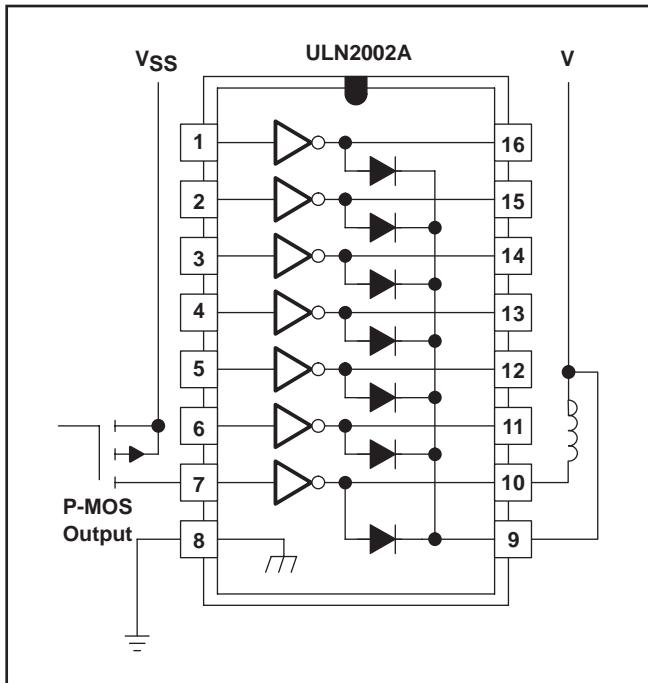


図 19. P-MOS to Load

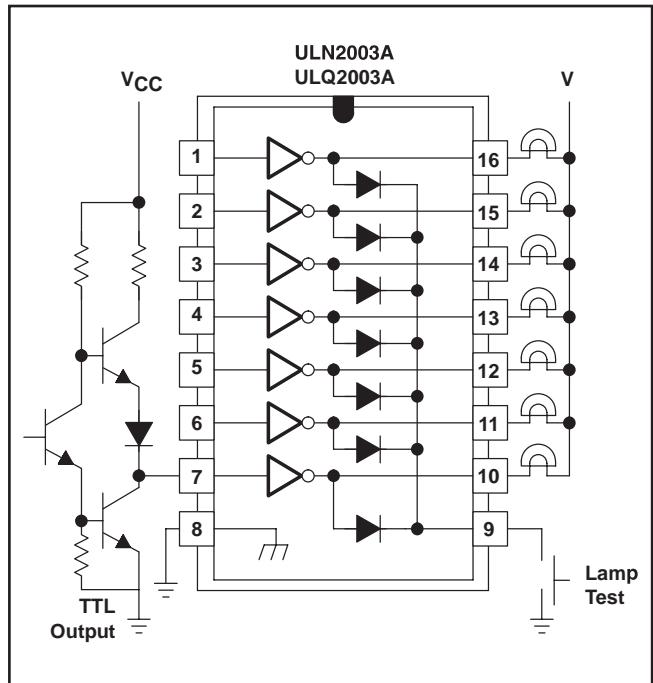


図 20. TTL to Load

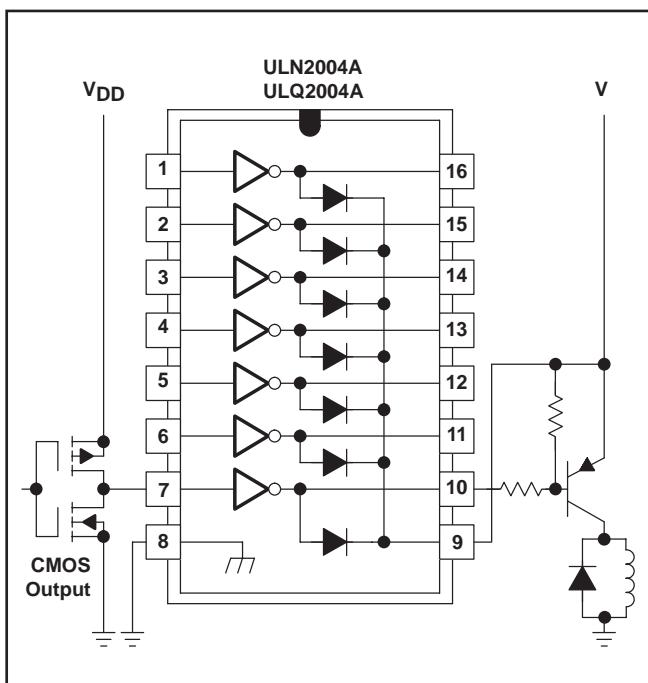


図 21. Buffer for Higher Current Loads

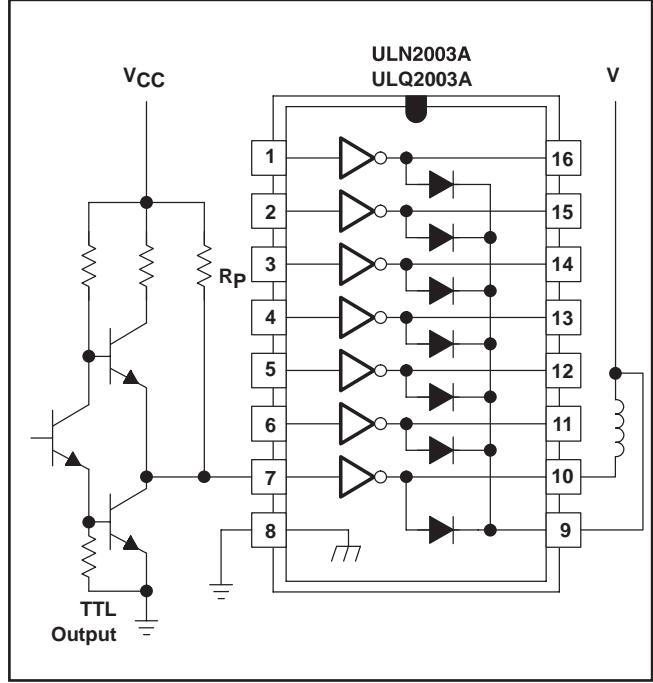


図 22. Use of Pullup Resistors to Increase Drive Current

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
ULN2001AD	OBsolete	SOIC	D	16		TBD	Call TI	Call TI	
ULN2001ADR	OBsolete	SOIC	D	16		TBD	Call TI	Call TI	
ULN2001AN	OBsolete	PDIP	N	16		TBD	Call TI	Call TI	
ULN2002AD	OBsolete	SOIC	D	16		TBD	Call TI	Call TI	
ULN2002AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2002ANE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2003AD	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ADE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ADG4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ADR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ADRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ADRG3	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	
ULN2003ADRG4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AID	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIDE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIDG4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIDR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIDRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIDRG4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
ULN2003AINE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2003AINSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIPWE4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIPWWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIPWRE4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AIPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003AJ	OBsolete	CDIP	J	16		TBD	Call TI	Call TI	
ULN2003AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2003ANE3	PREVIEW	PDIP	N	16	25	TBD	Call TI	Call TI	
ULN2003ANE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2003ANSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ANSRE4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003ANSRG4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003APW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003APWE4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003APWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003APWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2003APWRE4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins Qty	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
ULN2003APWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004AD	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004ADE4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004ADG4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004ADR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004ADRE4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004ADRG4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2004ANE4	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULN2004ANSR	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULN2004ANSRG4	ACTIVE	SO	NS	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2003AD	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2003ADG4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2003ADR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2003ADRG4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2003AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	
ULQ2004AD	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2004ADG4	ACTIVE	SOIC	D	16	40	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2004ADR	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2004ADRG4	ACTIVE	SOIC	D	16	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	
ULQ2004AN	ACTIVE	PDIP	N	16	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE : TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free(RoHS)、Pb-Free(RoHS Expert) および Green(RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD : Pb-Free/Green変換プランが策定されていません。

Pb-Free(RoHS) : TIにおける “Lead-Free” または “Pb-Free”(鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free(RoHS Exempt) : この部品は、1)ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2)ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free(RoHS)と考えられます。

Green(RoHS & no Sb/Br) : TIにおける “Green” は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項:このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TI パーツの購入価格の合計金額を超える責任は負いかねます。

OTHER QUALIFIED VERSIONS OF ULQ2003A, ULQ2004A :

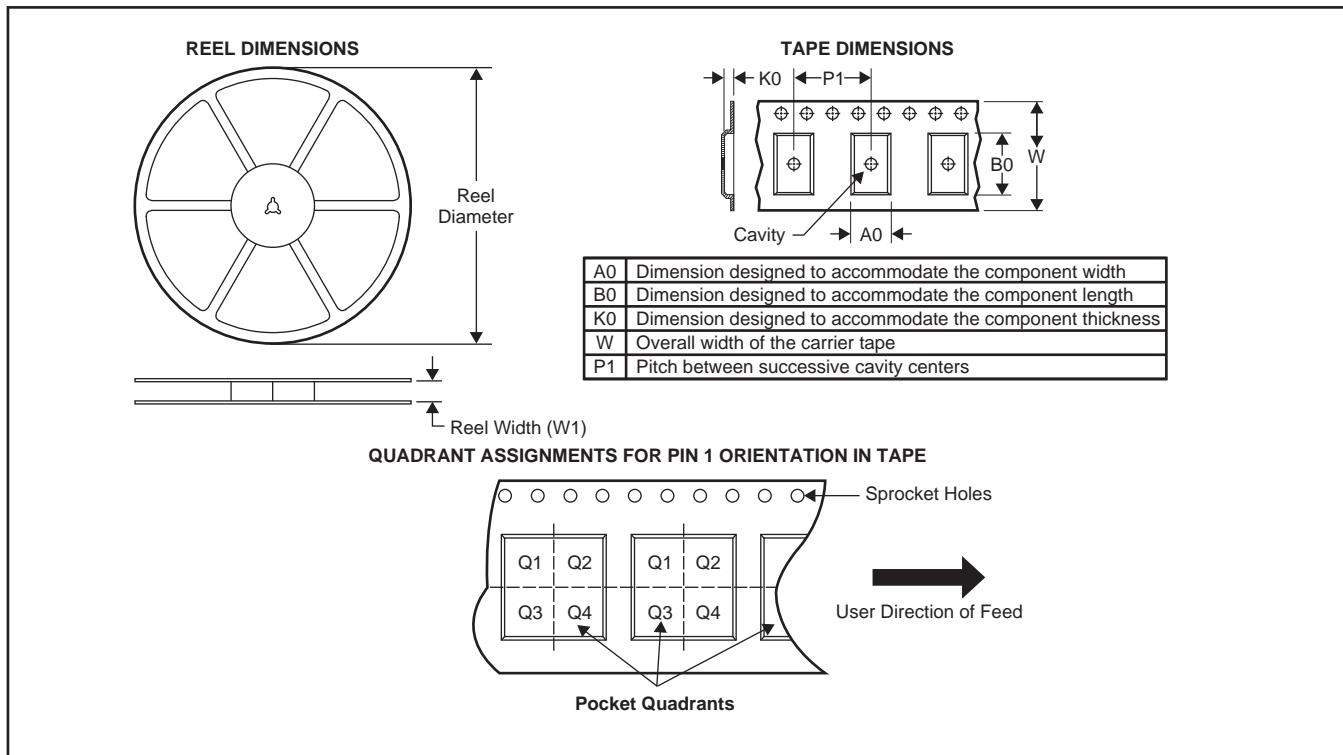
- Automotive: ULQ2003A-Q1, ULQ2004A-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

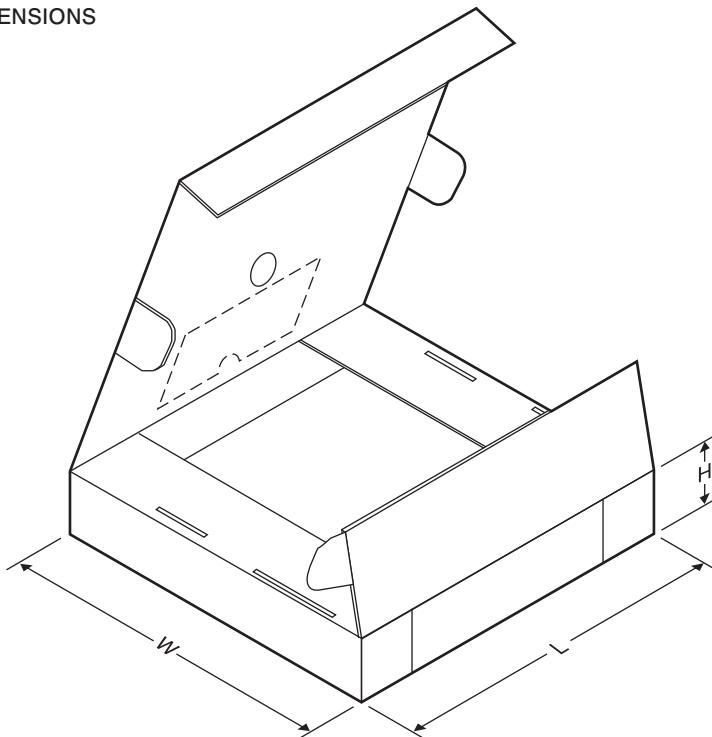


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AIDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AINSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ULN2003AIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003AIPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
ULN2003AIPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003ANSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ULN2003APWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
ULN2003APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2004ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ANSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ULQ2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

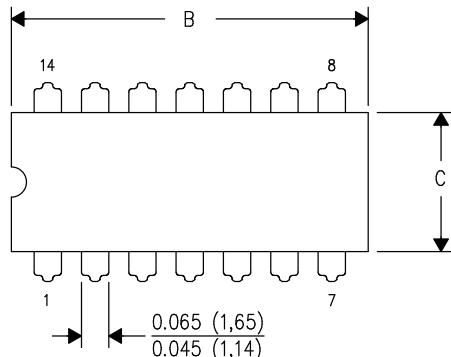
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ULN2003ADR	SOIC	D	16	2500	333.2	345.9	28.6
ULN2003ADR	SOIC	D	16	2500	367.0	367.0	38.0
ULN2003AIDR	SOIC	D	16	2500	333.2	345.9	28.6
ULN2003AINSR	SO	NS	16	2000	367.0	367.0	38.0
ULN2003AIPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
ULN2003AIPWR	TSSOP	PW	16	2000	364.0	364.0	27.0
ULN2003AIPWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
ULN2003ANSR	SO	NS	16	2000	367.0	367.0	38.0
ULN2003APWR	TSSOP	PW	16	2000	364.0	364.0	27.0
ULN2003APWR	TSSOP	PW	16	2000	367.0	367.0	35.0
ULN2003APWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
ULN2004ADR	SOIC	D	16	2500	367.0	367.0	38.0
ULN2004ADR	SOIC	D	16	2500	333.2	345.9	28.6
ULN2004ADRG4	SOIC	D	16	2500	333.2	345.9	28.6
ULN2004ADRG4	SOIC	D	16	2500	367.0	367.0	38.0
ULN2004ANSR	SO	NS	16	2000	367.0	367.0	38.0
ULQ2003ADR	SOIC	D	16	2500	333.2	345.9	28.6

メカニカル・データ

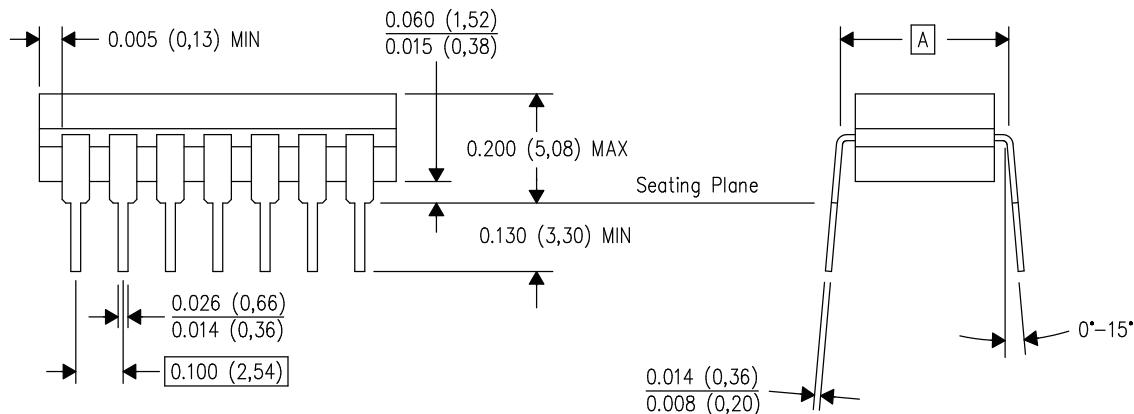
J(R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

注：A. 全ての線寸法の単位はインチ(ミリメートル)です。

B. 図は予告なく変更することがあります。

C. This package is hermetically sealed with a ceramic lid using glass frit.

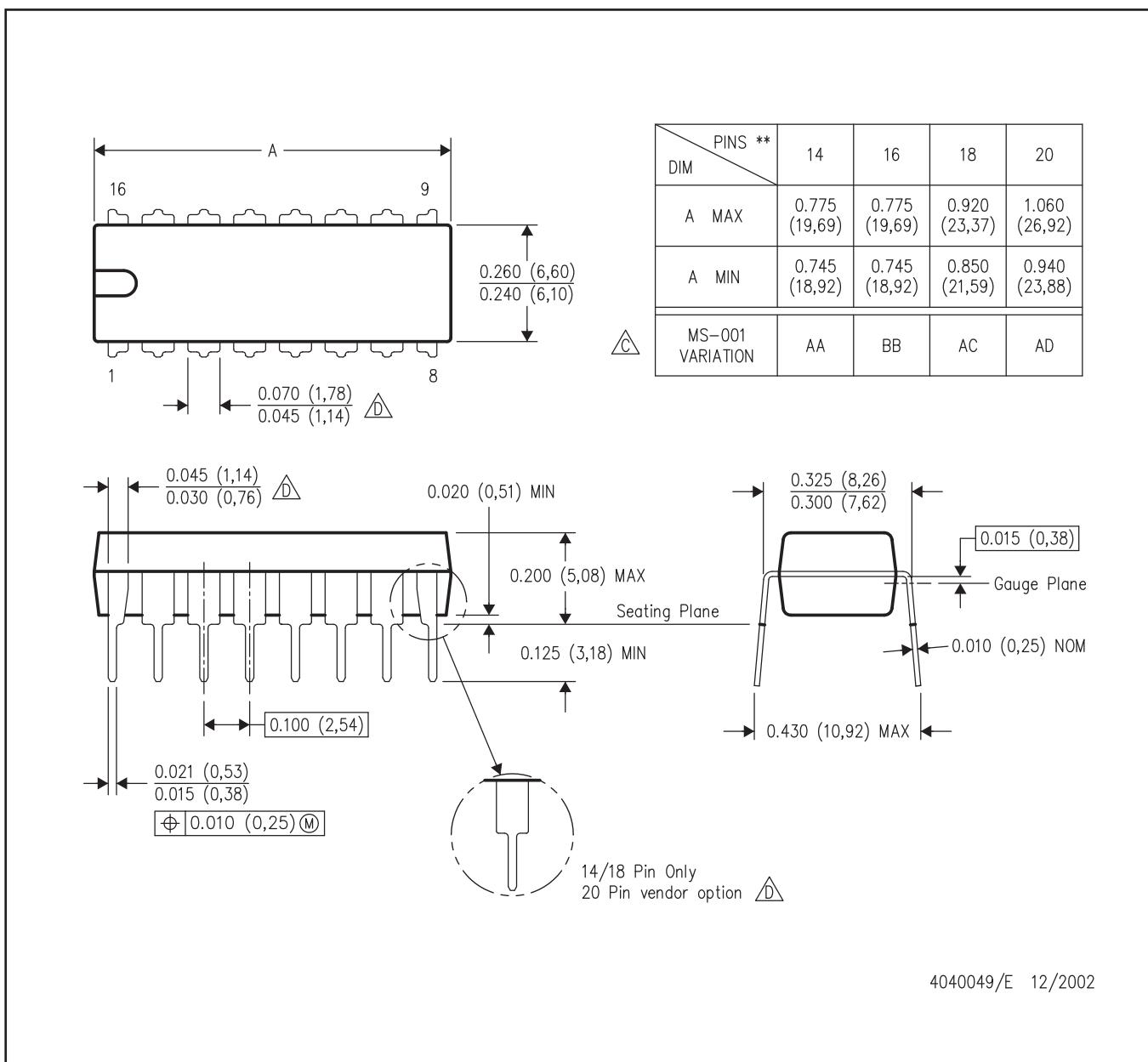
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.

E. MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18とGDIP1-T120に準拠。

メカニカル・データ

N(R-PDIP-T**)
16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



注：A. 全ての線寸法の単位はインチ(ミリメートル)です。

B. 図は予告なく変更することがあります。

△ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).

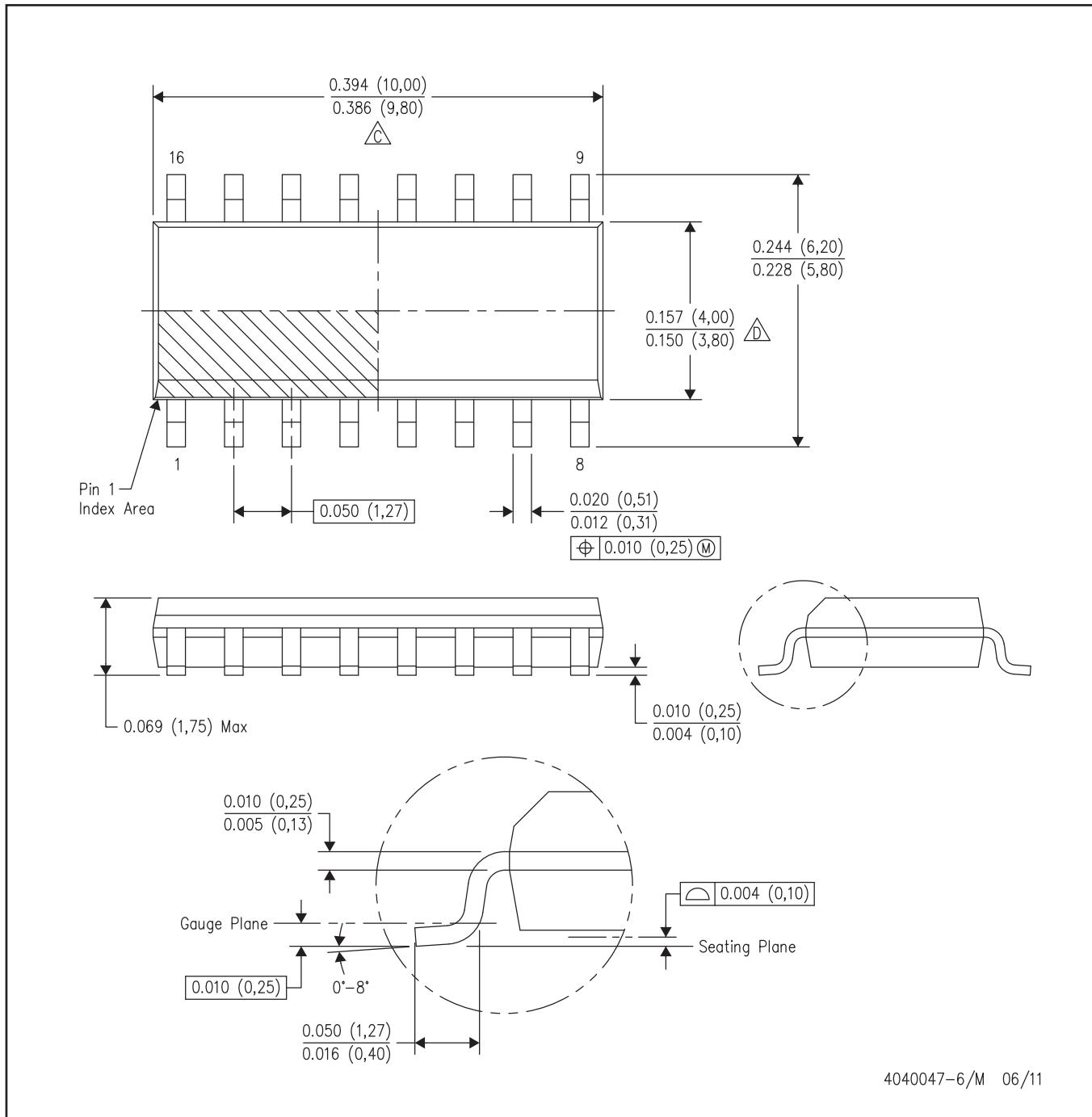
△ The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

メカニカル・データ

D(R-PDSO-G16)

PLASTIC SMALL OUTLINE



注：A. 全ての線寸法の単位はインチ(ミリメートル)です。

B. 図は予告なく変更することがあります。

C. ボディ長には、モールド・フラッシュや突起、ゲート・バーは含みません。モールド・フラッシュや突起、ゲート・バーは、片側で0.15を超えることはありません。

D. ボディ幅にはインターリード・フラッシュは含みません。インターリード・フラッシュは片側で0.43を超えることはありません。

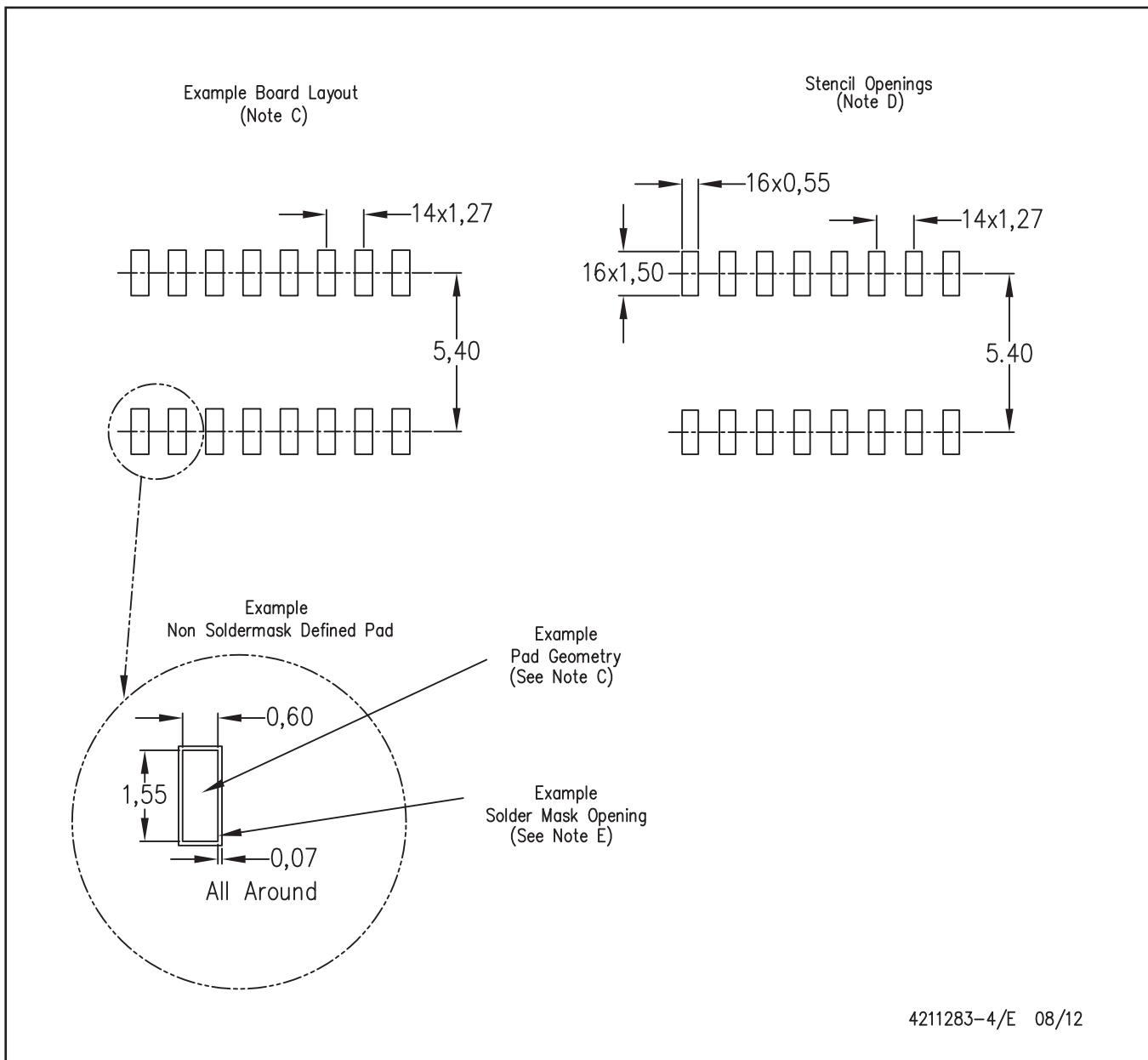
E. JEDEC MS-012 variationABに準拠

4040047-6/M 06/11

ランド・パターン

D(R-PDSO-G16)

PLASTIC SMALL OUTLINE

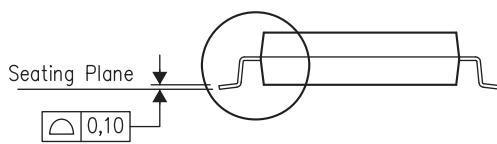
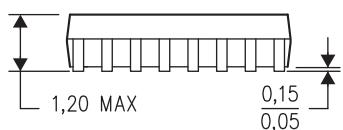
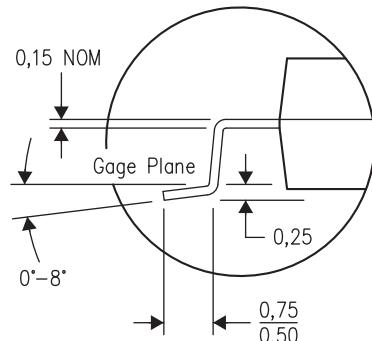
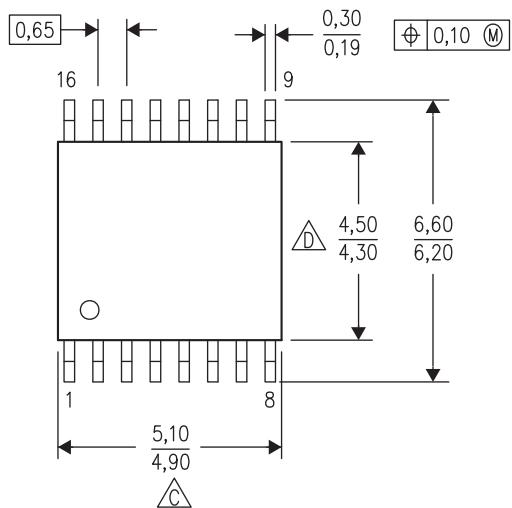


- 注 : A. 全ての線寸法の単位はインチ(ミリメートル)です。
B. 図は予告なく変更することがあります。
C. 代替設計については、資料IPC-7351を推奨します。
D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC-7525を参照してください。
E. 半田マスクの許容差については、基板組み立て拠点にお問い合わせください。

メカニカル・データ

PW(R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040064-4/G 02/11

注：A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。

B. 図は予告なく変更することがあります。

△ ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。

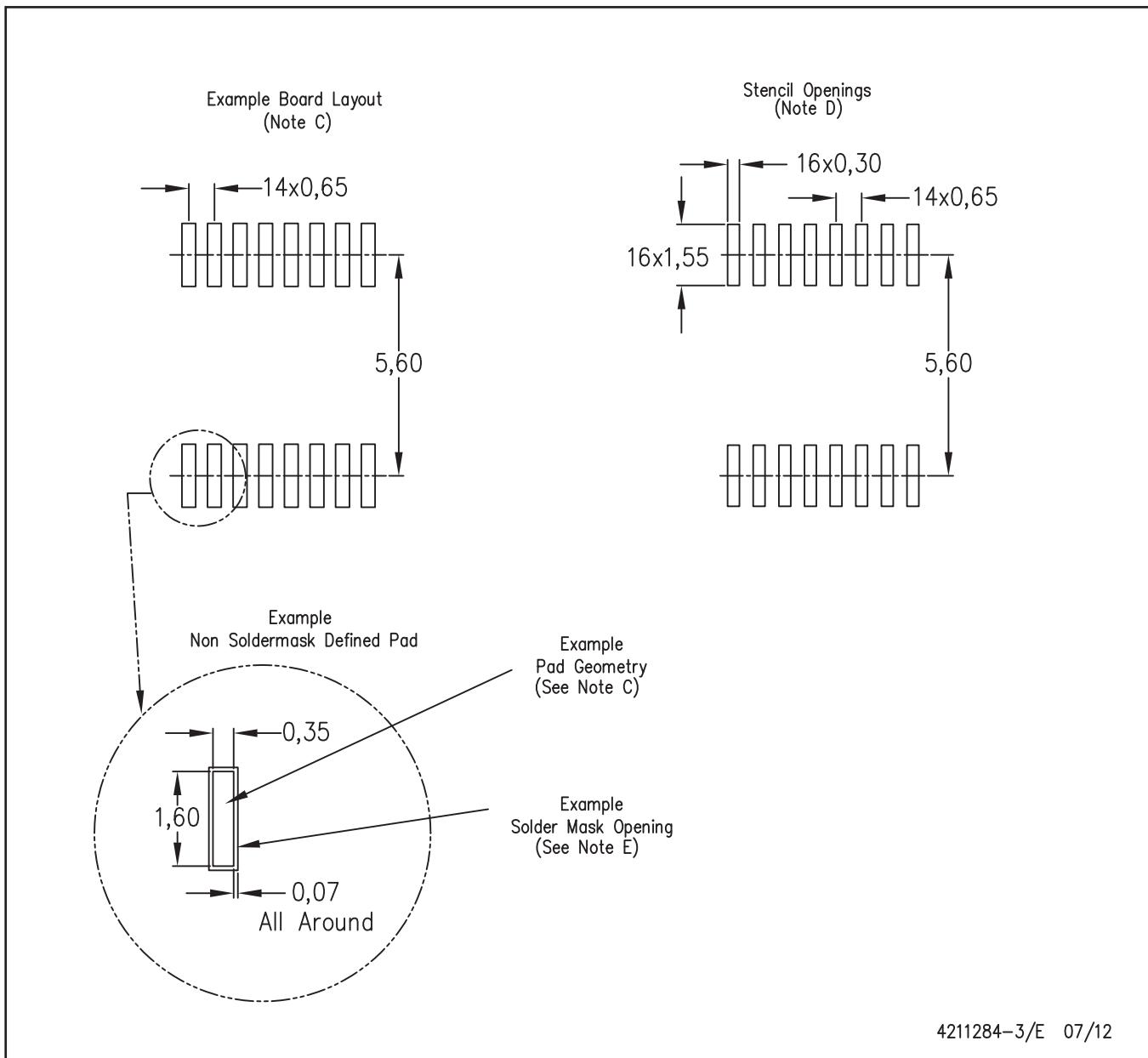
△ ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.25mmを超えることはありません。

E. JEDEC MO-153に適合しています。

ランド・パターン

PW(R-PDSO-G16)

PLASTIC SMALL OUTLINE

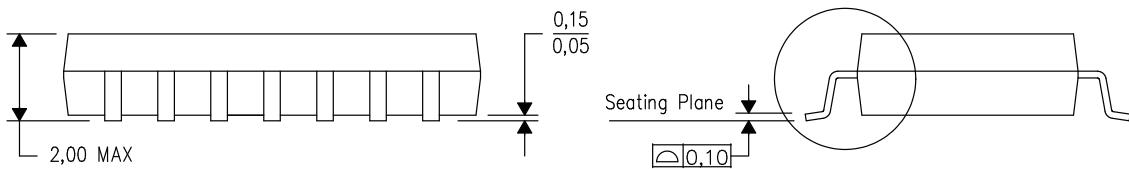
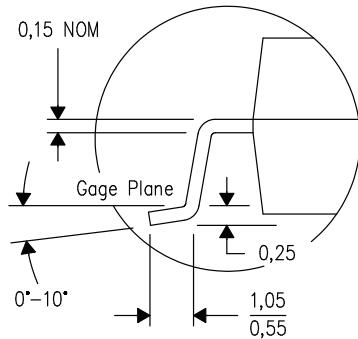
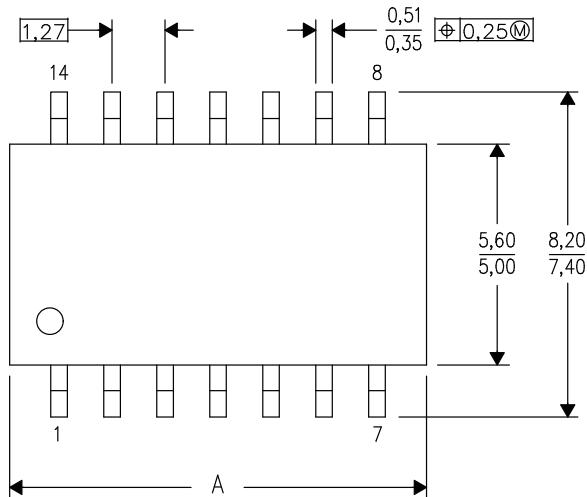


- 注 : A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. 代替設計については、資料IPC-7351を推奨します
D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC-7525を参照してください。
E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

メカニカル・データ

NS(R-PDSO-G**)
14 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



DIM	PINS **	14	16	20	24
A MAX		10,50	10,50	12,90	15,30
A MIN		9,90	9,90	12,30	14,70

4040062/C 03/03

- 注：A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。

(SLCS006S)

ご注意

Texas Instruments Incorporated 及びその関連会社（以下総称して TI といいます）は、最新のJESD46に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新のJESD48に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合せ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならぬ、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならぬ場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共に記載される限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの默示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるよう手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III(又は同様に安全でないことが致命的となるような医療機器)への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行なう際に規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要件及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われる目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われる場合には設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 湿度環境

- 温度：0～40°C、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260°C 以上の高温状態に、10 秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上